

(54) MONOLITHIC FILTER

- (19) 국가 (Country) : JP (Japan)
- (11) 공개번호 (Publication Number) : 1995-066043 (1995.03.10) ▶ 日本語/한글(JP)
▶ 현재진행상태보기
- (13) 문헌종류 (Kind of Document) : A (Unexamined Publication)
- (21) 출원번호 (Application Number) : 1993-214160 (1993.08.30)
- (75) 발명자 (Inventor) : YAMAMOTO YASUSHI, SAKAMOTO KOICHI
- (73) 출원인 (Assignee) : MURATA MFG CO LTD.

대표출원인명 : MURATA MANUFACTURING CO., LTD. (A00443)
- (57) 요약 (Abstract) :

PURPOSE: To reduce the occupation area of MMIC by connecting the one whose sp terminal is not connected to a spiral inner terminal.

CONSTITUTION: A first metal layer 1 formed spirally is formed on a semiconductor substrate by depositing and sputtering Au, Al, etc. A dielectric such as SiNx and SiO₂ is laminated on the first metal layer 1 in spiral shape to form a dielectric layer 2. Metals such as Au are deposited and sputtered on the dielectric layer 2 similarly as the first metal layer 1 to form a second metal layer 3. A spiral outer terminal 1a is provided at the spiral outer edge of the metal layer 1. Also, an insulator 4 is included and bridge connection is made to a spiral terminal 3a provided outside the spiral wiring layer at the spiral inner edge of the second metal layer 3.

COPYRIGHT: (C)1995,JPO
- 대표도면 :

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F 27/00				
17/00		D 8123-5E		
H 0 1 G 4/40				
		8123-5E	H 0 1 F 15/ 00	D
		9174-5E	H 0 1 G 4/ 40	3 2 1
審査請求 未請求 請求項の数 2 O L (全 4 頁) 最終頁に続く				

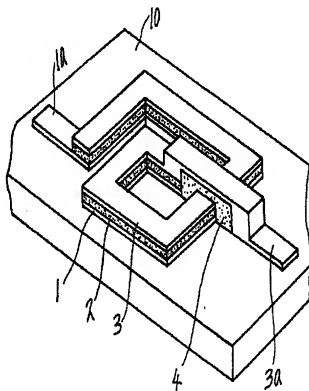
(21) 出願番号	特願平5-214160	(71) 出願人	00006231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22) 出願日	平成5年(1993)8月30日	(72) 発明者	山本 靖 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内
		(72) 発明者	坂本 孝一 京都府長岡京市天神二丁目26番10号 株式 会社村田製作所内

(54) 【発明の名称】 モノリシックフィルタ

(57) 【要約】

【目的】 本発明は、MIMキャパシタとスパイラルインダクタを、基板上に重畳させて作製することにより、MMICの占有面積を縮小したモノリシックフィルタを提供することを目的とする。

【構成】 本発明は、MIMキャパシタとスパイラルインダクタとを、半導体基板上に、重畳させて形成した、等価LC直列接続および等価LC並列接続モノリシックフィルタである。



【特許請求の範囲】

【請求項1】 第一金属層、誘電体層および第二金属層よりなるMIMキャパシタが、半導体基板上にスパイラル形状に形成され、第一金属層および第二金属層のスパイラル外側端のいずれかが、スパイラル外側端子に接続され、第一金属層および第二金属層のスパイラル内側端であって、前記スパイラル外側端子に接続されていないものが、スパイラル内側端子に接続されている等価LC直列接続モノリシックフィルタ。

【請求項2】 第一金属層、誘電体層および第二金属層よりなるMIMキャパシタが半導体基板上に形成され、第二金属層の上に、絶縁物層を介在させてスパイラル形状に第三金属層が形成され、第一金属層と第三金属層のスパイラル外側端とがブリッジ接続され、第二金属層と第三金属層のスパイラル内側端とが接続され、第一金属層と第二金属層とを端子とする等価LC並列接続モノリシックフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MMICと複合して形成される等価LC直列接続および等価LC並列接続モノリシックフィルタに関する。

【0002】

【従来の技術】 従来、MMICの回路内には、高周波用フィルタとして、図3に示すように、MIM (Metal Insulator Metal) キャパシタ21とスパイラルインダクタ22を直列に接続したLC直列接続モノリシックフィルタ、および図4に示すように、MIMキャパシタ21とスパイラルインダクタ22を並列に接続したLC並列接続モノリシックフィルタが、使用されることが多い。これらのモノリシックフィルタは、図3および図4に示すように、それらの構成要素であるMIMキャパシタ21とスパイラルインダクタ22とが、半導体基板上に平面的に、即ち重なり合わないよう、配置されていた。

【0003】

【発明が解決しようとする課題】 したがって、MMIC全体の面積は、その使用する各構成要素の面積とその個数でほぼ決まっていた。特に、MIMキャパシタ21およびスパイラルインダクタ22は、その面積が大きく、MMIC全体面積の増大につながっていた。したがって、本発明は、MIMキャパシタとスパイラルインダクタを、半導体基板上に重畳させて作製することにより、MMICの占有面積を縮小したモノリシックフィルタを提供することを目的とする。

【0004】

【課題を解決するための手段】 本発明は、一つには、第一金属層、誘電体層および第二金属層よりなるMIMキャパシタが、半導体基板上にスパイラル形状に形成され、第一金属層および第二金属層のスパイラル外側端のいずれかが、スパイラル外側端子に接続され、第一金属

層および第二金属層のスパイラル内側端であって、前記スパイラル外側端子の接続されていないものが、スパイラル内側端子に接続されている等価LC直列接続モノリシックフィルタとし、二つには、第一金属層、誘電体層および第二金属層よりなるMIMキャパシタが半導体基板上に形成され、第二金属層の上に、絶縁物層を介在させてスパイラル形状に第三金属層が形成され、第一金属層と第三金属層のスパイラル外側端とがブリッジ接続され、第二金属層と第三金属層のスパイラル内側端とが接続され、第一金属層と第二金属層とを端子とする等価LC並列接続モノリシックフィルタとしたものである。

【0005】

【作用】 本発明は、MMIC複合回路として、半導体基板上に、MIMキャパシタとスパイラルインダクタを重ねさせて作製するので、MMICの占有面積が小さくなる。

【0006】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1において、1は半導体基板10上に、スパイラル形状に形成された第一金属層で、Au、Al等の金属を蒸着、スパッタリング等して形成される。2は誘電体層で、スパイラル形状の第一金属層1の上に、例えば、 SiN_x 、 SiO_2 等の誘電体を積層して形成される。3は第二金属層で、誘電体層2の上に、第一金属層1と同様に、Au、Al等の金属を蒸着、スパッタリング等して形成される。

【0007】 第一金属層1のスパイラル外側端には、スパイラル外側端子1aが設けられている。また、第二金属層3のスパイラル内側端は、スパイラル配線層の外側に設けられたスパイラル内側端子3aに、絶縁体4を介在させて、ブリッジ接続されている。この図1記載の実施例は、キャパシタとインダクタがスパイラル形状に重畳した等価LC直列接続モノリシックフィルタを構成することになる。

【0008】 上記実施例において、MMICの回路の都合によっては、端子1a、3aは、それらの導出端を逆にしてもよい。即ち、第二金属層3のスパイラル外側端をスパイラル外側端子（端子1aに相当）とし、第一金属層1のスパイラル内側端をスパイラル内側端子（端子3aに相当）としてもよい。また、第一金属層1と第二金属層3とは、かならずしも両方共スパイラル形状である必要はなく、いずれか一方がスパイラルであればよい。同様に、誘電体層2も必ずしもスパイラルである必要はない。また、スパイラル形状も、方形に限らず、円形等であってもよい。

【0009】 次に、図2を参照して、他の実施例について説明する。第一金属層11、誘電体層12および第二金属層13よりなるMIMキャパシタが、半導体基板20上に形成される。第一金属層11、第二金属層13には、それぞれ端子11a、13aが設けられている。第

第二金属層 13 の上には、絶縁物層 14 を介在させて、第三金属層 15 がスパイラル形状に形成される。第一金属層 11 の端子 11a と第三金属層 15 のスパイラル外側端 15a とが、ブリッジ接続される。第二金属層 13 の中央部と第三金属層 15 のスパイラル内側端 15b とが接続される。この図 2 記載の実施例は、MIM キャパシタとスパイラルインダクタが重畳して形成された等価 LC 並列接続モノリシックフィルタを構成することになる。

【0010】上記実施例においては、MIM キャパシタおよびスパイラルインダクタを、方形で形成しているが、方形に限らず円形等であってもよい。また、スパイラルインダクタを、MIM キャパシタの上に形成しているが、これは MIM キャパシタの間でも、MIM キャパシタの下であってもよい。また、半導体基板と第一金属層との間に、絶縁層を設けてもよい。

【0011】

【発明の効果】本発明は、MMIC 複合回路として、半

導体基板上に、MIM キャパシタとスパイラルインダクタを重畳させて作製するので、MMIC の占有面積が小さくなる。特に、この占有面積は、MIM キャパシタとスパイラルインダクタとのうち、どちらか大きい方の面積だけで済むので、最大 50% の MMIC の縮小化につながる。

【図面の簡単な説明】

【図 1】 本発明の一実施例の斜視図

【図 2】 本発明の他の実施例の斜視図

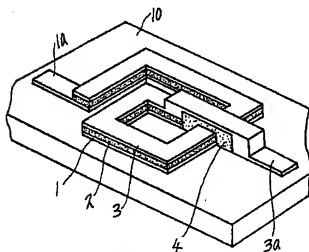
【図 3】 従来例の斜視図

【図 4】 他の従来例の斜視図

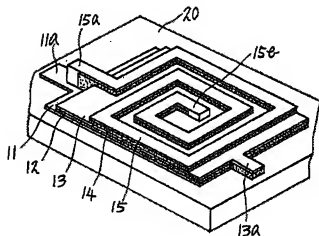
【符号の説明】

- | | |
|------|-------|
| 1、11 | 第一金属層 |
| 2、12 | 誘電体層 |
| 3、13 | 第二金属層 |
| 4、 | 絶縁体 |
| 14 | 絶縁物層 |
| 15 | 第三金属層 |

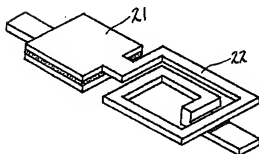
【図 1】



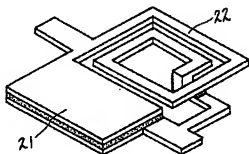
【図 2】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl.⁶

H 0 3 H 7/01

識別記号

庁内整理番号

F 1

技術表示箇所

Z 8321-5J